

信号のエネルギーの偏りを考慮したサンプリングレート変換器の設計

貴家 仁志[†] (正員) 渡部 誠二^{††} (正員)
西川 清史[†] (正員) 藤井 信生^{†††} (正員)

Design of Sampling Rate Converters Considering Energy Concentration of Signals

Hitoshi KIYA[†], Seiji WATANABE^{††}, Kiyoshi NISHIKAWA[†],
and Nobuo FUJII^{†††}, Members

[†] 東京都立大学工学部電子情報工学科, 八王子市
Faculty of Technology, Tokyo Metropolitan University, Hachioji-shi, 192-0397 Japan

^{††} 鶴岡工業高等専門学校制御情報工学科, 鶴岡市
Tsuruoka National College of Technology, Tsuruoka-shi, 997-8511 Japan

^{†††} 東京工業大学工学部電子物理工学科, 東京都
Faculty of Engineering, Tokyo Institute of Technology, Tokyo, 152-8552 Japan

あらまし サンプリングレート変換器のための直線位相 FIR フィルタの設計法を提案する。提案する方法は、学習同定法に基づいており、次の特徴をもつ。(a) 入力信号のエネルギーの偏りを考慮することが可能、(b) フィルタ設計の際の問題の一つである、フィルタの最適周波数仕様の決定問題を回避できる、(c) マルチステージ実現にも適用可能、(d) チェス盤ひずみを回避することが可能、以上の特徴により、従来法に比べフィルタの次数を大幅に低減することが可能となる。

キーワード マルチレート、デジタルフィルタ、AR 過程、適応フィルタ、学習同定法

1. まえがき

フィルタバンク、ウェーブレット変換や A-D, D-A 変換器で代表されるマルチレート信号処理に関する研究が、近年盛んに行われている [1],[2]。サンプリングレート変換の技術は、これら多くの処理での基礎技術であり、必要不可欠なものである。本論文では、これらの応用で用いられるアップサンプラ、ダウンサンプラ、デジタルフィルタからなるサンプリングレート変換器を考察の対象とする。

レート変換器の実現では、多くの場合、実現に要する演算量が問題となる。これは、高いレート変換精度 (理想フィルタを用いて実現されるレート変換器の出力信号との誤差が小さい) を維持するために高次のフィルタを使用すること、またフィルタ処理がレート変換の過程で高いサンプリングレートで実行されなければならないからである。後者の問題に対しては、ポリフェーズ構成法 [1]~[3]、マルチステージ実現法 [1],[2],[4],[5]、変換領域での実現法 [6] などが研

究されている。一方、前者の問題に対しては、窓関数と変換精度の関係などが研究されている [7]~[12]。

本論文は、前者の立場から、効果的なレート変換器のための直線位相 FIR フィルタの設計法を提案するものである。提案法は以下の特徴をもつ。

- (a) 入力信号のエネルギーの偏りを考慮することにより、効果的にフィルタの次数を低減できる。
- (b) フィルタ設計の際の問題の一つである、フィルタの最適周波数仕様の決定問題を回避できる。
- (c) マルチステージ実現 [13],[14] ならびにチェス盤ひずみ [15] を考慮した設計に対しても有効である。
- (d) (a)~(c) の問題の解決ならび設計に、学習同定法が有効である。

本論文の新規性は、(a) の点を指摘したこと、更に (b) の問題を改善したことにより、フィルタの次数を効果的に低減できることを示すことにある。その結果、レート変換器の実現に要する演算量を低減することができる。また、提案するフィルタの設計は、適応フィルタのアルゴリズムとして広く使われている学習同定法が、上述の特徴をもつフィルタの設計に適することを与える。

2. レート変換器と従来法の問題点

ここでは、対象とするレート変換器と従来法の問題点について述べる。

図 1 に有理数比 U/D のレート変換器を示す [1],[2],[4]。但し、 U, D は正の整数である。図 1 よりわかるようにレート変換器は、 U 倍のアップサンプラ、 $1/D$ 倍のダウンサンプラおよびデジタルフィルタ $H(z)$ からなる。フィルタ $H(z)$ は、処理過程における最高のレート UF_s で原理的に動作する。フィルタ $H(z)$ が周波数特性

$$H(e^{j\omega}) = \begin{cases} U & (|\omega| \leq \min(\pi/D, \pi/U)) \\ 0 & (\text{その他}) \end{cases} \quad (1)$$

をもつとき、このレート変換器は理想レート変換器と呼ばれる。しかしながら、式 (1) の特性を実現することはできない。

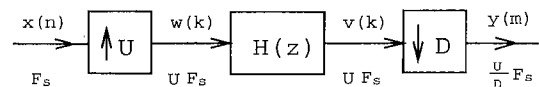


図 1 有理数比 U/D のレート変換器
Fig.1 Rate converter with a rational factor U/D .

レート変換器のためのフィルタの設計法では、従来図2に示すようなフィルタの通過域端周波数 ω_p 、阻止域端周波数 ω_s 、通過域誤差 δ_p 、阻止域誤差 δ_s などのパラメータを設計の前からあらかじめ指定し、その条件を満たすように行われている。しかし、レート変換器の変換精度とフィルタの周波数特性との関係が十分に考察されておらず、最小の変換誤差を与えるフィルタ仕様の指定は困難である。

また、図1において入力信号 $x(n)$ は、多くの場合、全帯域に一樣なエネルギーをもたない。もし、このエネルギーの偏りを考慮することができれば、レート変換精度を保持したままフィルタ次数を低減できることが期待される。しかし、図2のように、あらかじめフィルタ仕様を与え設計する従来法では、最適なフィルタ仕様の決定が更に複雑になってしまう。特に、 $H(z)$ への入力信号 $w(k)$ は $x(n)$ と異なる特性をもつため、問題は複雑である。提案法は、フィルタ仕様の決定に柔軟性をもたせ、入力信号のエネルギーの偏りも考慮した設計を行うことができる。

3. 提案する設計法

レート変換器の次数を低減するために、二つの考え方を提案する。一つは、信号のエネルギーの偏りを考慮することである。二つ目は、レート変換器の出力誤差を直接評価尺度として、フィルタの設計を実行する点である。

3.1 入力信号のモデル化

ここでは、信号のエネルギーの偏りに対する設計法を検討するため、入力信号のモデル化について述べる。画像信号やオーディオ信号などのエネルギーは、全帯域に一樣に分布することはなく、一般に低域に集中す

ることが知られている。

本論文では、入力信号をモデル化し、モデル化された入力信号に対しても適用可能なフィルタ設計法を考察する。今、入力信号 $x(n)$ が1次AR (Auto-Regressive) 過程であるとすると、

$$x(n) = ax(n-1) + w_h(n) \tag{2}$$

と $x(n)$ を表現することができる。但し、 $w_h(n)$ は分散1、平均0の白色雑音、 a はAR係数である。 a を変化させることにより、信号の性質を変えることができる。つまり、 a を0とすることで、全帯域に一樣なエネルギーをもつ白色雑音を得られ、 a を1に近づけることでエネルギーが低域に偏った信号を表現することができる。図3(a), (b) は、それぞれ $a = 0.98$ の場合の $x(n)$ と $w(k)$ (図1参照) の振幅スペクトルである。 $x(n)$ が1次ARの場合でも、 $w(k)$ は1次ARではなく、エネルギーの偏りがより複雑になることがわかる。

式(2)のモデルは、モデルの一例であり、提案する

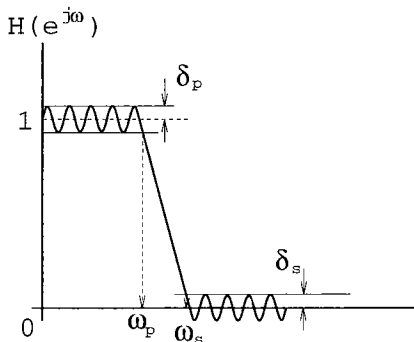


図2 $H(z)$ の周波数特性
Fig.2 Frequency characteristics of $H(z)$.

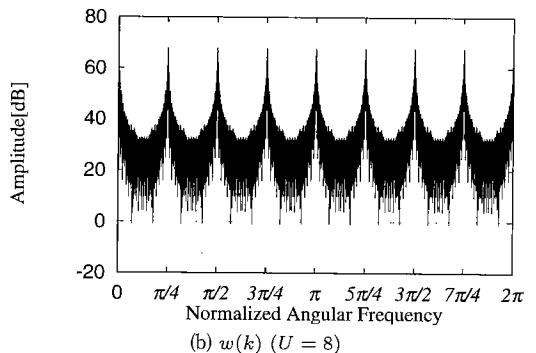
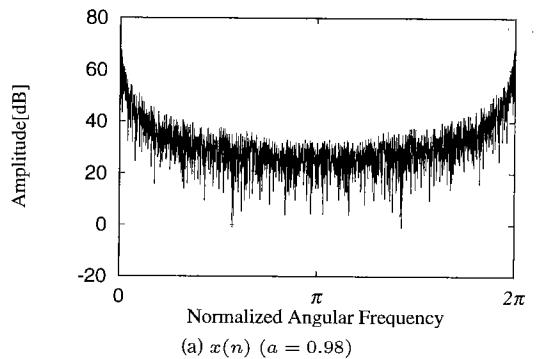


図3 レート変換器における信号の振幅スペクトル
Fig.3 Amplitude spectrum of $x(n)$ and $w(k)$ in Fig.1.

設計法は、他のモデルや実信号に対しても有効である。

3.2 設計原理ならびに実際の設計法

図 4(a) は、提案する設計法の原理図を示す。図中のフィルタ $H(z)$ には、十分な次数をもち、高いレート変換精度をもつ直線位相 FIR フィルタを準備し、そのフィルタ $H(z)$ を低次の FIR フィルタ $H_A(z)$ で近似する。 $H(z)$ と $H_A(z)$ に次数の差があること、更に直線位相をもつ $H_A(z)$ を設計するために、位相調整用の遅延器 z^{-s} を挿入する。遅延量 s は、

$$s = (M - N)/2 \quad (3)$$

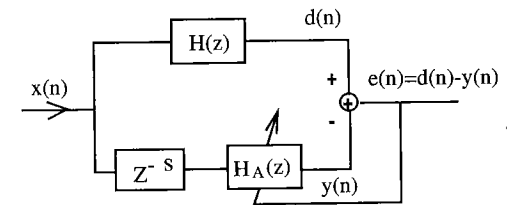
と与えられる。但し、 M は $H(z)$ の次数、 N は $H_A(z)$ の次数である。表現を簡潔にするために、 M および N は偶数と仮定する。

式 (3) に示した遅延器の挿入により、 $H_A(z)$ は、ほぼ直線位相特性をもつが、厳密には、適応フィルタに用いる相互相関が近似量であるため、わずかに位相ひずみを伴う。そこで、遅延器の挿入の他に、更に次式の制約のもとで $H_A(z)$ のインパルス応答 $h_k(n)$ 、 $k = 0, 1, 2, \dots, N$ の更新を実行する。

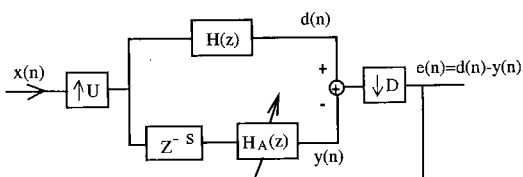
$$h_{N/2+m}(n) = h_{N/2-m}(n) \quad (4)$$

但し、 $0 \leq m \leq N/2$ である。これはインパルス応答の対称性を制約するものである。

以上の手順により、入力信号 $x(n)$ に応じた $H(z)$ の出力 $d(n)$ に対して、与えられた次数のもとで、最小の平均 2 乗誤差をもつ直線位相 FIR フィルタ $H_A(z)$



(a) Principle of the proposed method



(b) Actual design method

図4 提案法
Fig.4 Proposed method.

を得ることができる。更に、入力信号 $x(n)$ のエネルギーの偏りも考慮でき、低次のフィルタで高いレート変換精度を実現できる。

しかし、図 4(a) の原理図からもわかるように、 $H(z)$ への入力 $x(n)$ ではない。そこで、実際の設計では、同図 (b) のように拡張して行われる。この理由は、図 3 に示したエネルギーの偏りの違いを考慮するためである。後の例で述べるように、入力信号にエネルギーの偏りがあるほど、図 4(a) と (b) の違いは顕著になる。提案法は、このような条件のもとでも、効果的にフィルタを設計することができる。

3.3 提案法の拡張

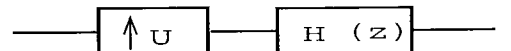
3.3.1 マルチステージ実現

インタポレータの 2 ステージ実現を例に挙げ、その設計法を簡単に説明する。

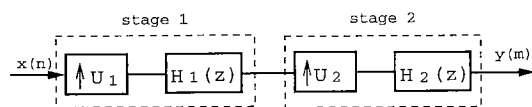
図 5(a) にレート変換比 U (U : 正の整数) のインタポレータを示す。レート変換比 U が正整数 U_1, U_2 により $U = U_1 U_2$ と因数分解されるとき、図 5(b) に示すマルチステージ実現が可能となる。この場合、二つのフィルタ $H_1(z), H_2(z)$ を決定しなければならない。設計では、図 4 の提案法に基づき図 5(b) のマルチステージをシングルステージに等価変換し、図 6(a), (b) の二つの手順で各フィルタを設計する。

3.3.2 チェス版ひずみの回避

チェス盤ひずみとは、レート変換器の時変性に起因したひずみである [16]~[18]。最近、この回避条件が明らかにされた [19], [20]。本方法は、先の特徴を保持したままこの条件を満たすことができる。図 7 にチェス盤ひずみを伴わないレート変換器の設計を示す。この設計は、理想とするフィルタ $H(z)$ に対して、 $H_A(z) = H_p(z)H_B(z)$ で得られるフィルタで近似するものである。 $H_p(z) = 1$ の場合、図 7 の方法は先の提案法と一致する。この $H_p(z)$ は、設計されるレー



(a) interpolater



(b) 2 stage structure of (a)

図5 インタポレータの 2 ステージ構成
Fig.5 2 stage structure of interpolater.

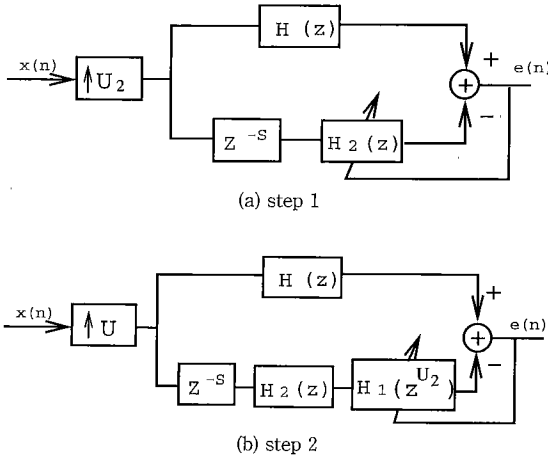


図6 マルチステージにおける設計手順
Fig.6 Design method for multistage.

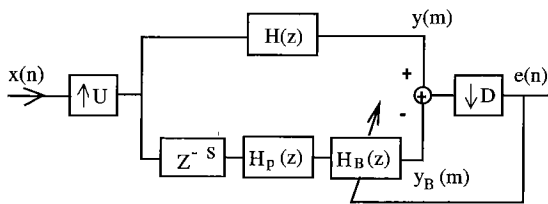


図7 チェス版ひずみを伴わないレート変換器の設計
Fig.7 Design method of rate converter without checkerboard effect.

ト変換器に対してチェス盤ひずみの発生を防止するために設けられたフィルタである。\$H_p(z)\$ は次式で求められる [19].

$$H_p(z) = 1 + z^{-1} + z^{-2} + \dots + z^{-(U-1)} \quad (5)$$

\$y(m)\$, \$y_B(m)\$ の位相調整に必要な遅延器の挿入量 \$l\$ は, \$H(z)\$, \$H_p(z)\$, \$H_B(z)\$ の次数をそれぞれ \$M\$, \$N_1\$, \$N_2\$ とした場合, 式 (6) で得られる。但し, 簡単のため \$M\$, \$N_1\$, \$N_2\$ は偶数としている。

$$l = (M - (N_1 + N_2))/2 \quad (6)$$

4. 設計例

提案法を用いてフィルタ設計を行い, その有効性を確認する。

4.1 インタポレータの設計例

\$U = 8\$, \$D = 1\$ と選びインタポレータの設計を行う。但し, \$H(z)\$ としては, 図 8 に示す振幅特性をもつ \$M = 500\$ 次の直線位相 FIR フィルタを用いた。この

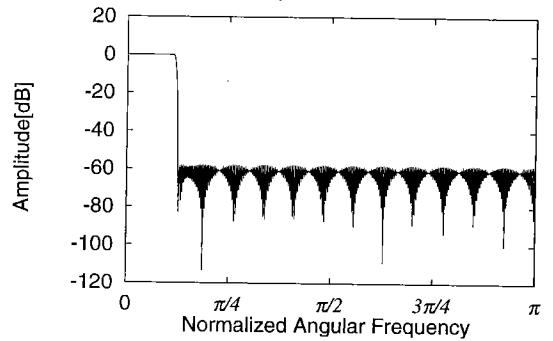


図8 フィルタ \$H(z)\$ (\$U = 8\$, \$M = 500\$ 次)
Fig.8 Filter \$H(z)\$. (\$U = 8\$, \$M = 500\$)

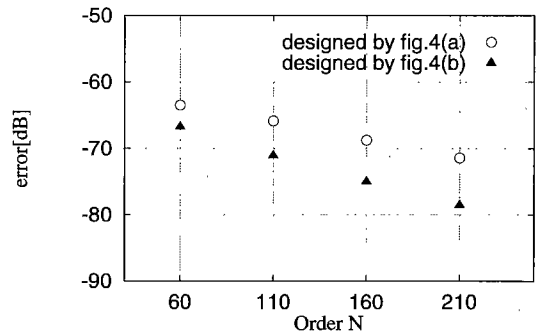


図9 フィルタの次数とレート変換誤差の関係
(\$U = 8\$, AR 係数 0.98)
Fig.9 Relationship between filter order and error.
(\$U = 8\$, AR coeff. 0.98)

フィルタは, 通過域と阻止域の重み 1 で Remez 法 [21] により設計され,

阻止域端角周波数: \$\omega_s = \pi/8\$

通過域端角周波数: \$\omega_p = 0.9\pi/8\$

阻止域減衰量: 60 [dB]

通過域誤差: \$\pm 0.01\$ [dB]

の特性をもつ。比較のために, このフィルタ \$H(z)\$ を近似するフィルタ \$H_A(z)\$ を, 図 4(a), (b) の二つの方法に基づいて設計した。

次に設計された各フィルタを用いて, 図 1 の原理図に基づきレート変換を実行し, \$H(z)\$ を用いた場合の出力との誤差をそれぞれ評価した。図 9 は, 入力信号を 1 次 AR 過程 (\$a = 0.98\$) と仮定し, フィルタ次数 \$N\$ を変えた場合の誤差特性である。同図における誤差の評価は次式のとおりである。

$$\psi = 10 \log_{10} \left(\frac{1}{L} \sum_{n=0}^L \frac{(d(n) - y(n))^2}{\|x_f(n)\|^2} \right) \quad (7)$$

但し、 L は入力信号のデータ数、 $d(n)$ 、 $y(n)$ 、 $x_f(n)$ はそれぞれ理想的なレート変換器の出力 ($H(z)$ を用いた場合の出力)、設計されたレート変換器の出力、入力信号を表す。図 9 より、図 4(b) の方法により設計されたフィルタが、より少ないレート変換誤差をもつことがわかる。このことは、図 3 に示した信号の偏りの違いによる。

図 10 は、入力信号の AR 係数を変えた場合の誤差特性である。AR 係数が 1 に近いほど、誤差の低減が効果的であることがわかる。この結果より、提案法は入力信号のエネルギーの偏りに応じて、効果的にフィルタの設計が可能であることがわかる。また、同じ 60 次のフィルタでも、信号の偏りにより約 15 [dB] の誤差の違いがあることがわかる。同図において、 $a = 0.98$ で 60 次のフィルタで達成できるレート変換誤差 (約 -66.5 [dB]) を信号の偏りを考慮せずに達成しようとする ($a = 0$ と仮定)、約 230 次のフィルタが必要となることを確認している。信号の偏りを考慮することでフィルタ次数を約 1/4 まで低減できることになる。この効果は、レート変換比が大きいほど顕著であることを確認している。

図 11 と図 12 にこの場合の設計されたフィルタの振幅特性を示す。

次に、 $H(z)$ として 750 次のフィルタを用いた場合の例を示す。フィルタの仕様は、

阻止域端角周波数： $\omega_s = \pi/8$

通過域端角周波数： $\omega_p = 0.9\pi/8$

阻止域減衰量：80 [dB]

通過域誤差： $\pm 8 \times 10^{-4}$ [dB]

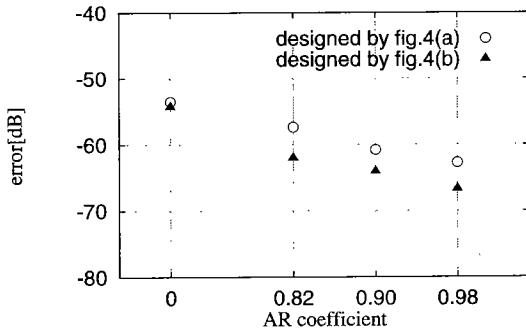


図 10 AR 係数とレート変換誤差の関係 ($U = 8, N = 60$ 次)

Fig. 10 Relationship between AR coefficient and error. ($U = 8, N = 60$)

であり、Remez 法 (重み 1) により設計される。図 8 との違いは、次数と通過域誤差、阻止域減衰量である。このフィルタに基づき提案法により設計されたフィルタ (60 次) の特性を図 13 に示す。図 12 の特性と極めて似ていることがわかる。このように、設計されるフィルタに求められる精度に比べ、理想フィルタとするフィルタ $H(z)$ が十分高い精度をもつ場合には、 $H(z)$ の違いが設計されるフィルタに与える影響はわずかであると考えている。上述の 750 次の $H(z)$ の出力信号に対する誤差の違いは、AR 係数 $a = 0.98$ の入力信号のもとで、両者 (図 13 と図 8 のフィルタによるレート変換器の出力信号) の間ではわずか 0.3 [dB] であった。

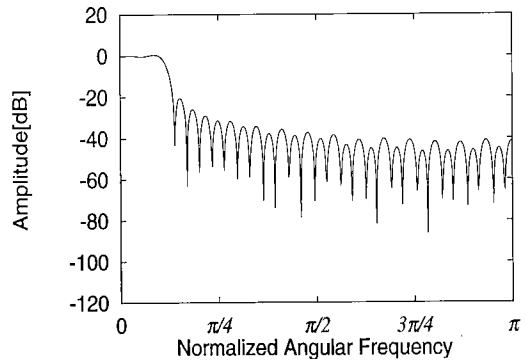


図 11 図 4(a) に基づき設計されたフィルタ ($U = 8, a = 0.98, N = 60$ 次)

Fig. 11 Filter designed based on Fig. 4(a). ($U = 8, a = 0.98, N = 60$)

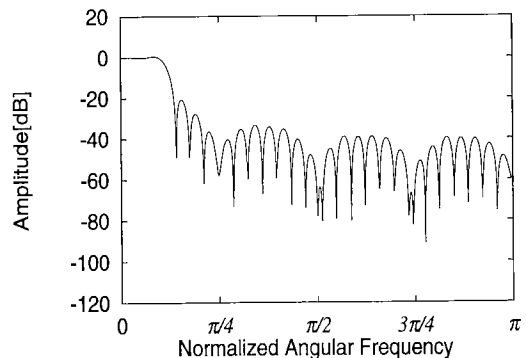


図 12 図 4(b) に基づき設計されたフィルタ ($U = 8, a = 0.98, N = 60$ 次)

Fig. 12 Filter designed based on Fig. 4(b). ($U = 8, a = 0.98, N = 60$)

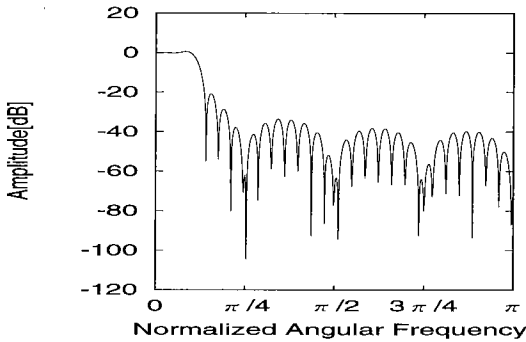


図 13 図 4 (b) に基づき設計されたフィルタ
($U = 8, a = 0.98, N = 60$ 次, $H(z)$: 750 次)
Fig. 13 Filter designed based on Fig. 4 (b).
($U = 8, a = 0.98, N = 60, H(z)$: 750 order)

5. むすび

本論文では、レート変換器のフィルタ設計法において、従来のフィルタ設計法に対する問題点を指摘し、その問題解決に学習同定法に基づいた設計法が有効であることを示した。これにより、信号のエネルギーの偏りを考慮したフィルタの設計が可能となり、効果的にフィルタ次数を低減することができる。シミュレーションにより、以上の提案法の有効性を確認することができた。

謝辞 研究にあたりいろいろと御協力頂いている鶴岡工業高等専門学校、阿部光男校長をはじめ、関係各位に深く感謝致します。

文 献

- [1] P.P. Vaidyanathan, "Multirate Systems and Filter Banks," Prentice-Hall, 1993.
- [2] 貴家仁志, "マルチレート信号処理," 昭晃堂, 1995.
- [3] H. Chia-Chuan, "Polyphase filter matrix for rational sampling rate conversions," IEEE Inc. Conf. on ASSP, pp.2173-2176, Dallas, April 1994.
- [4] R.E. Crochiere and L.R. Rabiner, "Multirate Digital Signal Processing," Prentice-Hall, 1983.
- [5] 湯川 彰, "オーバサンプリング A-D 変換技術," 日経 BP, 1990.
- [6] 村松正吾, 貴家仁志, "サンプリングレート変換のための拡張重複加算法と拡張重複保持法," 信学論 (A), vol.J77-A, no.8, pp.1046-1055, Aug. 1994.
- [7] 浅井孝弘, 森 一樹, "時系列データの高精度補間の方法," 信学技報, CAS93-74, Nov. 1993.
- [8] 浅井孝弘, "時系列データの補間への窓函数の適用に関する検討," 信学技報, CAS93-75, Nov. 1993.
- [9] 浅井孝弘, "オイラ窓を用いた時系列データの補間法の誤差解析," 信学技報, CAS93-111, CS93-185, DSP83-109, March 1994.
- [10] 浅井孝弘, "フーリエ余弦級数窓函数を用いた時系列データの補間法," 信学技報, CAS94-34, VLD94-34, DSP94-56, June 1994.
- [11] 浅井孝弘, "狭帯域信号に対する高精度補間の方法," 信学技報, CAS94-35, VLD94-35, DSP94-57, June 1994.
- [12] 浅井孝弘, "窓函数を用いた補間法の補間誤差解析," 信学技報, CAS95-109, March 1996.
- [13] 渡部誠二, 藤井信生, 貴家仁志, "適応フィルタに基づくマルチステージレート変換器の設計," 電子情報通信学会ソサエティ大会, A-93, p.94, Sept. 1996.
- [14] 渡部誠二, 貴家仁志, 藤井信生, "適応フィルタに基づくマルチステージレート変換器の設計法," 第 11 回デジタル信号処理シンポジウム, pp.219-224, Nov. 1996.
- [15] 渡部誠二, 貴家仁志, 藤井信生, "適応フィルタに基づくチェス盤歪みを伴わないレート変換器の設計," 電子情報通信学会ソサエティ大会, A-4-93, p.187, March 1997.
- [16] 加藤正輝, 吉田俊之, 西原明法, "時間応答を考慮したマルチレートフィルタの設計," 信学技報, DSP96-24, June 1996.
- [17] 原田康裕, 村松正吾, 貴家仁志, "チェス盤歪みを伴わない 2 分割 QFM バンクについて," 信学技報, CAS96-52, Sept. 1996.
- [18] 加藤正輝, 吉田俊之, 西原明法, "時間応答を考慮したフィルタバンクの設計," 第 11 回デジタル信号処理シンポジウム, pp.219-224, Nov. 1996.
- [19] 原田康裕, 貴家仁志, "チェス盤歪みを伴わないマルチレートフィルタと零点配置について," 信学技報, CAS96-78, Jan. 1997.
- [20] 加藤正輝, 吉田俊之, 西原明法, "M 分割完全再構成フィルタバンクがチェス盤歪みを発生しないための必要十分条件," 信学技報, CAS96-79, Jan. 1996.
- [21] L.R. Rabiner, J.H. McClellan, and T.W. Parks, "FIR digital filter design techniques using weighted Chebyshev approximation," Proc. IEEE, vol.63, April 1975.
(平成 9 年 12 月 15 日受付, 10 年 3 月 27 日再受付)